

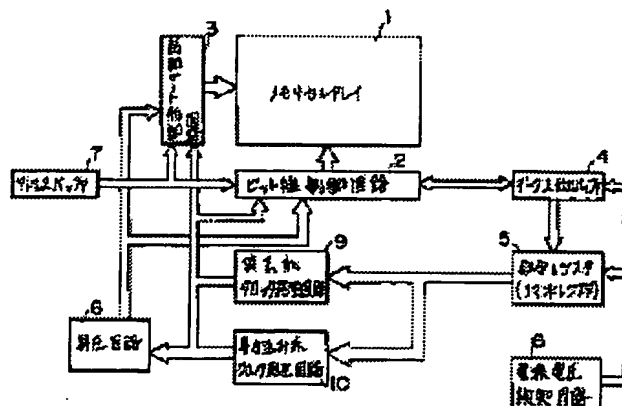
NONVOLATILE SEMICONDUCTOR MEMORY

Patent number: JP5109291
Publication date: 1993-04-30
Inventor: TANAKA TOMOHARU; others: 04
Applicant: TOSHIBA CORP
Classification:
 - International: G11C16/06
 - european:
Application number: JP19910264908 19911014
Priority number(s):

Abstract of JP5109291

PURPOSE: To provide an EEPROM of a command system making reliability high by preventing erroneous write or erroneous erase due to the fluctuation of power supply voltage.

CONSTITUTION: This memory has a command register 5 generating and holding various operation commands to a memory cell array 1 in accordance with input data. When a power supply voltage detection circuit 6 detects the abnormality of the power supply voltage at the time of data write operation or data erase operation, the command register 5 is reset by the output of the detection circuit 6, then the erroneous write or the erroneous erase are prevented.



(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-109291

(43)公開日 平成5年(1993)4月30日

(51) Int. Cl.⁵

G 1 1 C 16/06

識別記号

室内整理番号

FI

技術表示箇所

9191-5 L

G 1 1 C 17/00 3 0 9 F

審査請求 未請求 請求項の数 1

(全7頁)

(21)出願番号 特願平3-264908

(22)出願日 平成3年(1991)10月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)發明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 田中 義幸

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 百富 正樹

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(74)代理人 弁理士 鈴江 武彦

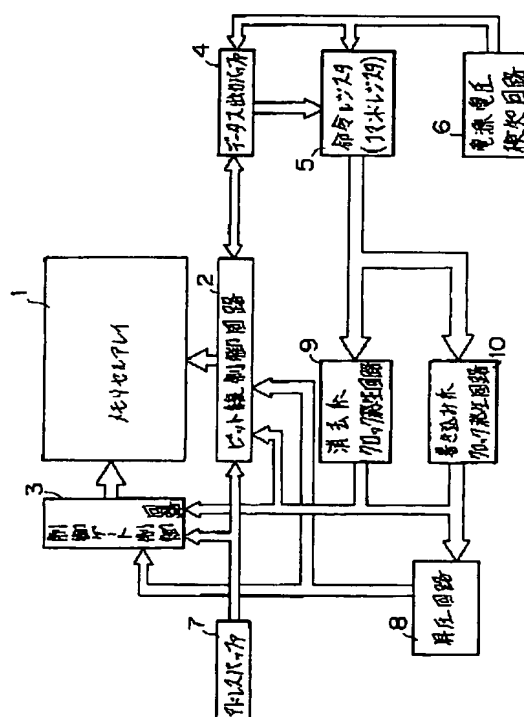
[最終頁に続く](#)

(54)【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】電源電圧変動による誤書込みや誤消去を防止して高信頼性化を図ったコマンド方式のEEPROMを提供することを目的とする。

【構成】メモリセルアレイ 1 に対する各種動作命令を入力データに応じて発生保持する命令レジスタ 4 を有し、データ書込み或いは消去動作中に電源電圧検知回路 6 が電源電圧異常を検出すると、その出力より命令レジスタ 4 をリセットするように構成して、誤書込みや誤消去を防止した。



【特許請求の範囲】

【請求項1】半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層形成された電氣的書き替え可能なメモリセルを有するメモリセルアレイと、前記メモリセルアレイに対する各種動作命令を入力データに応じて発生保持する命令レジスタと、電源電圧の異常を検出して前記命令レジスタをリセットする手段と、を備えたことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電荷蓄積層と制御ゲートが積層形成された電氣的書き替え可能なメモリセルを用いた不揮発性半導体記憶装置（EEPROM）に関する。

【0002】

【従来の技術】従来よりEEPROMの中で、動作モードを入力データによって決定する方式（コマンド方式）のものが知られている。例えばNANDセル型EEPROMでは、データ書き込み、データ消去、書き込み後のベリファイ読出し、リセット等のコマンドがある。これらのコマンドは、入力データの一部として外部から取り込まれて、命令レジスタに保持される。

【0003】例えばデータ書き込みの場合、書き込みコマンドがまず入力されて命令レジスタに保持され、引続き1ページ分の書き込みデータが、データ入出力バッファに取り込まれる。その後、一定の時間（書き込み時間）をまってリセットコマンドが入力されるとデータ書き込みモードが終了することになる。リセットコマンドが入力されない限り、EEPROMは書き込みモードにある。

【0004】ところでNANDセル型EEPROMでは通常、内部昇圧回路を用いて書き込みや消去に必要な高電圧 V_{pp} （～20V）、中間電圧 V_M （～10V）等が発生される。データ書き込み動作は、書き込むべきセルの制御ゲートに高電圧 V_{pp} を印加した状態で、ビット線に中間電圧 V_M を印加するとデータ“0”書き込みとなり、ビット線を接地すると浮遊ゲートにトンネル注入がなされるデータ“1”書き込みとなる。この書き込み動作において、高電圧 V_{pp} や中間電圧 V_M の変化が許容範囲を越えるとデータの書き込みが不十分になったり、場合によっては誤書き込みが生じる。

【0005】またデータ消去時は、メモリセルアレイが形成されるp型ウェルや基板に高電圧 V_{pp} が印加され、選択された制御ゲートに0V、非選択制御ゲートに V_{pp} が印加される。これにより、選択セルで浮遊ゲートの電子が基板に放出される。この消去動作に於いても、高電圧 V_{pp} が正常に出力されないと、消去が出来なかったりする。

【0006】

【発明が解決しようとする課題】従ってコマンド方式の

EEPROMでは、データ書き込みやデータ消去動作中に電源電圧が許容範囲を越えても、外部からリセットコマンドが入力されない限りその動作が終了しないので、誤ったデータが記憶されるという問題があった。

【0007】本発明はこの様な事情を考慮してなされたもので、電源電圧変動による誤書き込みや誤消去を防止して高信頼性を図ったコマンド方式のEEPROMを提供することを目的とする。

【0008】

10 【課題を解決するための手段】本発明に係るEEPROMは、メモリセルアレイに対する各種動作命令を入力データに応じて発生保持する命令レジスタを有すると共に、電源電圧の異常を検出して命令レジスタをリセットする手段を備えたことを特徴とする。

【0009】

【作用】本発明によると、電源電圧が許容範囲を越えた時にはコマンドが記憶された命令レジスタが自動的にリセットされて、データ書き込みや消去動作ができない状態にされる。従って誤書き込みや誤消去が防止されて、EEPROMの高信頼性が確保される。

【0010】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。

【0011】図1は、本発明の一実施例に係るEEPROMの全体のブロック構成である。1はメモリセルアレイ、2はメモリセルアレイ1中のビット線を選択制御するビット線制御回路、3はメモリセルアレイ1中の制御ゲートを選択制御する制御ゲート制御回路、4は書き込み、読出しデータの入出力およびコマンドデータの入力を行うデータ入出力バッファ、5はコマンドデータを保持する命令レジスタ、6は電源電圧検出回路、7はアドレスデータを取り込むアドレスバッファ、8はデータ書き込みや消去に用いられる高電圧や中間電圧を発生させる昇圧回路、9、10はそれぞれ命令レジスタ5からの命令を受けて消去および書き込み時のクロックを発生するクロック発生回路である。

【0012】電源電圧検出回路6が電源電圧の異常を検出すると、その検出出力によって命令レジスタ5およびデータ入出力バッファ4がリセットされ、また命令レジスタ5のリセットの結果としてクロック発生回路9、10もリセットされる。その詳細は後に説明する。メモリセルアレイ1は、この実施例ではNANDセル型であって、その要部構成を示すと図2～図4のようになっている。図2がNANDセルを示す平面図であり、図3(a)(b)はそのA-A'、B-B'断面図である。図4はNANDセルの等価回路である。

【0013】この実施例では、4個のメモリセルM1～M4がそれらのソース、ドレイン拡散層を隣接するもの同士で共用する形で直列接続されてNANDセルを構成している。この様なNANDセルがマトリクス配列され

てセルアレイが構成される。NANDセルの一端のドレインは選択ゲートSG1を介してビット線BLに接続され、他端のソースは、選択ゲートSG2を介して共通ソース線（接地線）に接続されている。各メモリセルの制御ゲートCG1～CG4は、ビット線BLと交差する方向に配設されてワード線WLとなる。

【0014】この実施例では、4個のメモリセルで一つのNANDセルを構成しているが、一般に2のn乗個（ $n=1, 2, \dots$ ）のメモリセルで一つのNANDセルを構成することができる。

【0015】具体的なメモリセル構造は、図3に示す通りである。n型シリコン基板11にp型ウェル11'が形成され、このp型ウェル11'にメモリセルが配列形成されている。周辺回路は、メモリセルとは別のp型ウェルに形成されることになる。p型ウェル11'の素子分離絶縁膜12で囲まれた領域に4個のメモリセルと1個の選択ゲートが形成されている。

【0016】各メモリセルは、p型ウェル11'上に5～20nmの熱酸化膜からなる第1ゲート絶縁膜131を介して形成された50～400nmの第1層多結晶シリコンにより浮遊ゲート14（141～144）が形成され、この上に15～40nmの熱酸化膜からなる第2ゲート絶縁膜15を介して形成された100～400nmの第2層多結晶シリコンにより制御ゲート16（161～164）が形成されている。各メモリセルのソース、ドレイン拡散層となるn型層19は、隣接するもの同士で共用する形で、4個のメモリセルが直列接続されている。

【0017】NANDセルのソース側端部には、p型ウェル11'上に5～40nmの熱酸化膜からなるゲート絶縁膜132を介して第1層多結晶シリコンにより形成されたゲート電極145、146をもつ選択ゲートが形成されている。ここでゲート絶縁膜132は第1のゲート絶縁膜131と同じでもよい。ゲート電極145、146には第2多結晶シリコン膜による配線165、166が重ねて配設されている。これらゲート電極145と165、146と166は、所定間隔毎にスルーホールで接続されて、低抵抗化される。

【0018】ここで、各メモリセルの浮遊ゲート141～144と制御ゲート161～164、および選択ゲートのゲート電極145、156と配線165、166は、チャネル長方向については同一エッチングマスクを用いてパターンニングして揃えられている。ソース、ドレイン拡散層となるn型層19は、これらの電極をマスクとして、砒素またはリンのイオン注入により形成されている。

【0019】素子形成された基板上は、CVD絶縁膜17により覆われ、この上にA1膜によりビット線18が配設される。NANDセルの一端のドレインは、選択ゲートを介することなく、直接このビット線18に接続されている。

【0020】このような構成において、各メモリセルの浮遊ゲート14と基板間の結合容量C1は、浮遊ゲート14と制御ゲート16間の結合容量C2に比べて小さく設定されている。この関係は、図3(a)に示されるように、浮遊ゲート14を素子領域上から素子分離領域上に延在させることにより得られている。

【0021】図5は、電源電圧検知回路6の具体的な構成である。抵抗R1とR2の直列回路およびその接続ノードに接続されたNMOSトランジスタQn1と抵抗R3からなるインバータが電源電圧Vccの“L”レベル側の異常検出回路部を構成している。抵抗R3とR4の直列回路およびその接続ノードに接続されたNMOSトランジスタQn2と抵抗R6からなるインバータが電源電圧Vccの“H”レベル側の異常検出回路部を構成している。一方のインバータの出力ノードN1は、2段のCMOSインバータI1、I2を介してCMOSNORゲートG1の一つ入力端子に接続され、他方のインバータの出力ノードN2は1段のCMOSインバータI3を介してNORゲートG1のもう一つの入力端子に接続されている。NORゲートG1の出力はインバータバッファI4を介して、電源異常検出信号φabとして出力されるようになっている。抵抗R1、R2、R3、R4は、次のような関係に設定されている。

$$R1/R2 < R3/R4$$

【0022】この結果、インバータのノードN1、N2の電源電圧Vccとの関係は、図6に示すようになる。電源電圧Vccの比較的低い値VccminでNMOSトランジスタQn1がオンになり、これより高い値VccmaxでNMOSトランジスタQn2がオンになる。

【0023】従って、インバータI1～I4とNORゲートG1によって、 $Vccmin < Vcc < Vccmax$

の電源電圧において、φabが“L”レベルになる。これが電源電圧が正常である許容範囲を示す。この範囲を外れると、電源電圧異常としてφabが“H”レベル出力を出すことになる。

【0024】図7は、命令レジスタ5の構成例である。データ入出力バッファ4からのコマンド出力Dcommand、リセットコマンド信号φRESET、電源電圧異常検出信号φab、および電源立ち上げ時にリセット用が発生されるパワーオン信号φPONを入力とし、これらがCMOSNANDゲートG2とCMOSインバータI9によりAND論理がとられる。すなわちコマンド出力Dcommandは、リセットコマンド信号φRESET、電源電圧異常検出信号φab、パワーオン信号φPONのすべてが“L”レベルのときにこのレジスタに蓄えられ、リセットコマンド信号φRESET、電源電圧異常検出信号φab、パワーオン信号φPONのいずれかが“H”レベルになったときにリセットされる。

【0025】PMOSトランジスタQp1～Qp4とNMO

SトランジスタQn3～Qn6は、CMOS転送ゲートを構成している。CMOSインバータI5、I6、およびI7、I8がレジスタ部である。リセット用トランジスタとしてNMOSトランジスタQn7～Qn12が設けられている。

【0026】図8は、この命令レジスタの動作を示す波形図である。レジスタ制御信号φw1が“L”レベル、／φw1が“H”レベルとなり、φw2が“H”レベル、／φw2が“L”レベルとなつて、コマンド情報DcommandはインバータI5、I6で構成されるレジスタ部に入力される。その後、φw1が“H”レベル、／φw1が“L”レベル、φw2が“L”レベル、／φw2が“H”レベルとなつてその情報がラッチされて、φcommandとして出力される。

【0027】電源電圧異常検出信号φabが“H”レベルになると、コマンド出力Dcommandの取り込みはNANDゲートG2の部分で阻止され、またリセット用NMOSトランジスタQn9、Qn12がオンになって、命令レジスタはセットされる。

【0028】図9は、図1の昇圧回路8の具体的な構成例である。NMOSトランジスタQn13～Qn22とキャパシタC1～C5により構成されるチャージポンプによる昇圧部は従来より広く用いられている。この実施例では、キャパシタC1～C5の端子を駆動するクロックφp、／φpの負荷を低減する目的で、各キャパシタC1～C5毎にクロック入力端子にCMOSインバータI10～I14が設けられている。

【0029】図10は、電源電圧Vccと昇圧された高電圧Vppの関係を示す。高電圧Vppは高すぎても低すぎてもメモリの書き込みや消去特性に悪影響を与えるため、許容範囲がある。この高電圧Vppの許容範囲から、先に説明した電源電圧の許容範囲 $V_{ccmin} < V_{cc} < V_{cc}$

maxが決まることになる。

【0030】

【発明の効果】以上説明したように本発明によれば、書き込み或いは消去動作中の電源電圧異常を検出してデータ破壊を防止するようにした信頼性の高いコマンド方式のEEPROMを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るEEPROMの構成を示すブロック図。

10 【図2】同実施例のNANDセル構成を示す平面図。

【図3】図2のA-A'およびB-B'断面図。

【図4】同実施例のNANDセルの等価回路図。

【図5】同実施例の電源電圧検出回路の構成を示す図。

【図6】その電源電圧検出回路の動作原理を説明するための図。

【図7】同実施例の命令レジスタの構成を示す図。

【図8】その命令レジスタの動作を説明するための波形図。

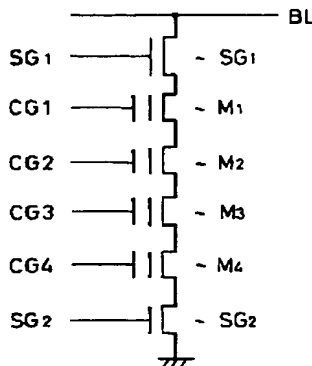
【図9】同実施例の昇圧回路の構成を示す図。

20 【図10】その昇圧回路の特性を示す図。

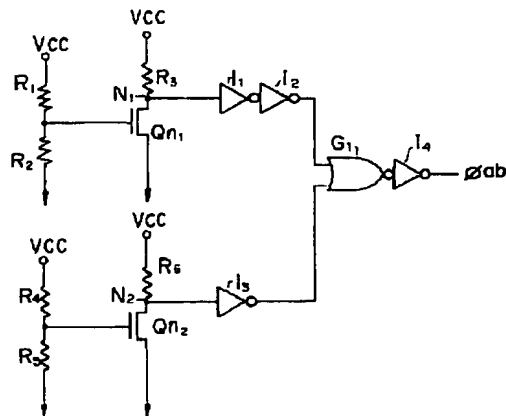
【符号の説明】

- 1…メモリセルアレイ、
- 2…ビット線制御回路、
- 3…制御ゲート制御回路、
- 4…データ入出力バッファ、
- 5…命令レジスタ、
- 6…電源電圧検知回路、
- 7…アドレスバッファ、
- 8…昇圧回路、
- 9…消去系クロック発生回路、
- 30 10…書き込み系クロック発生回路。

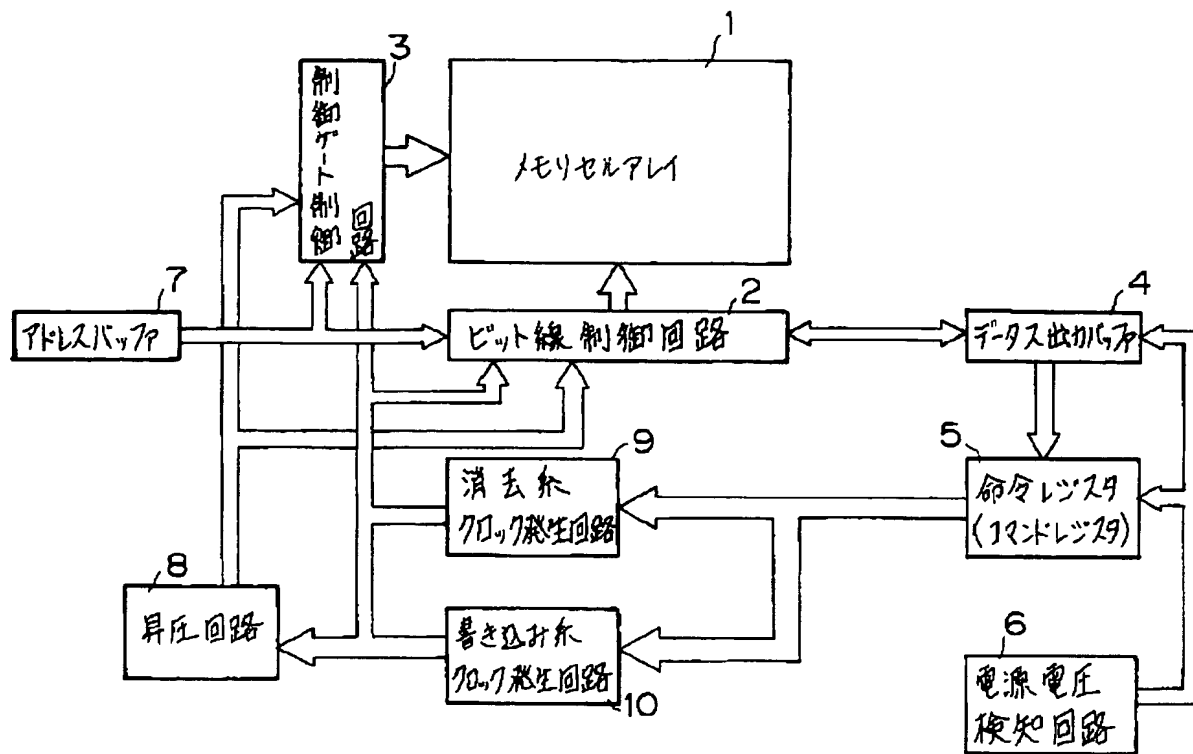
【図4】



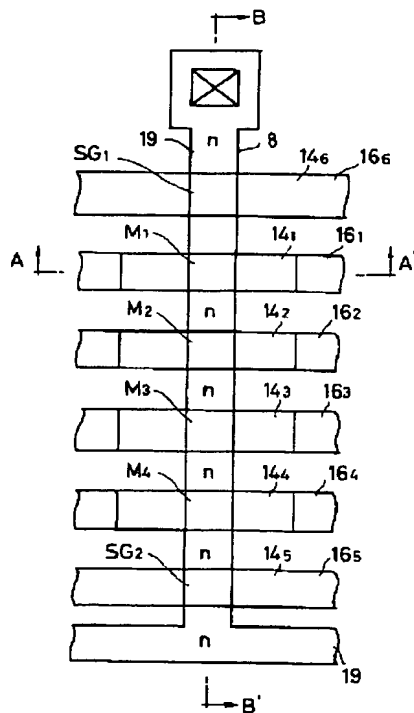
【図5】



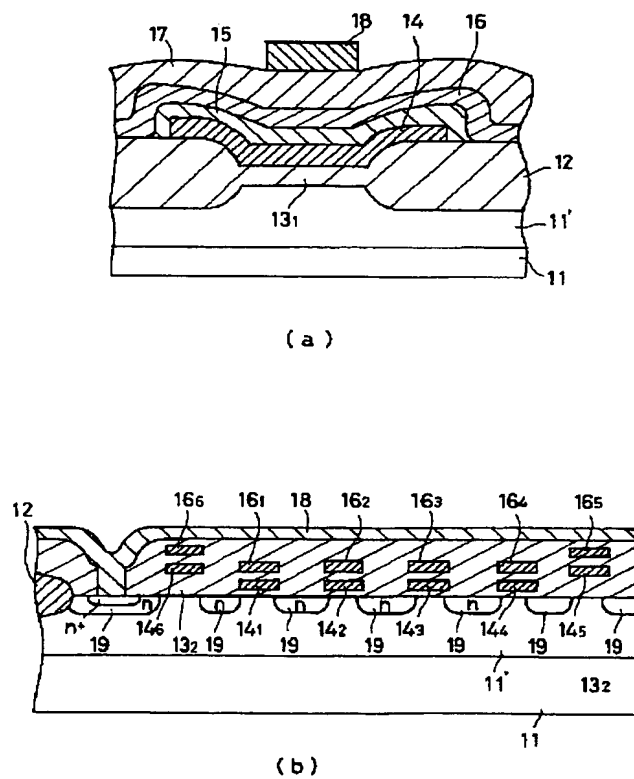
【図1】



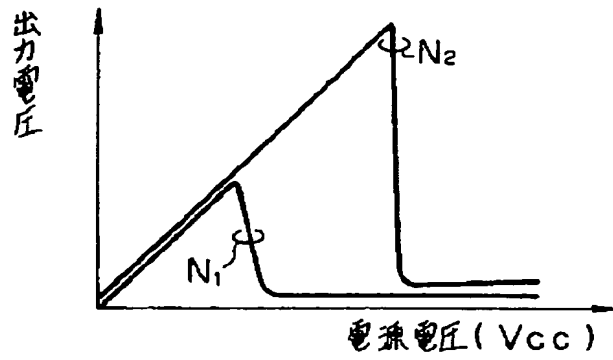
【図2】



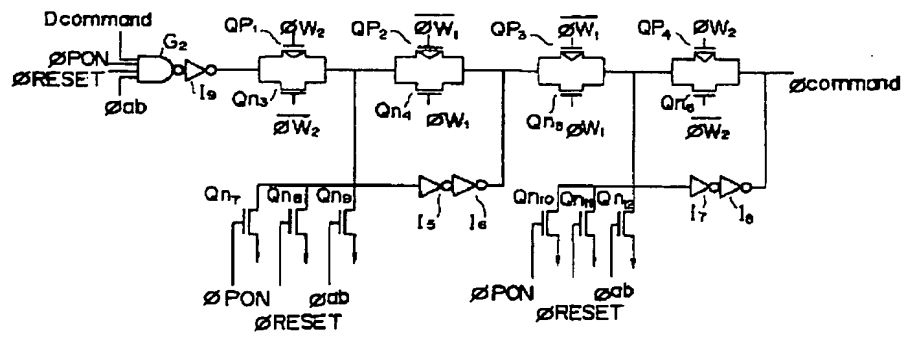
【図3】



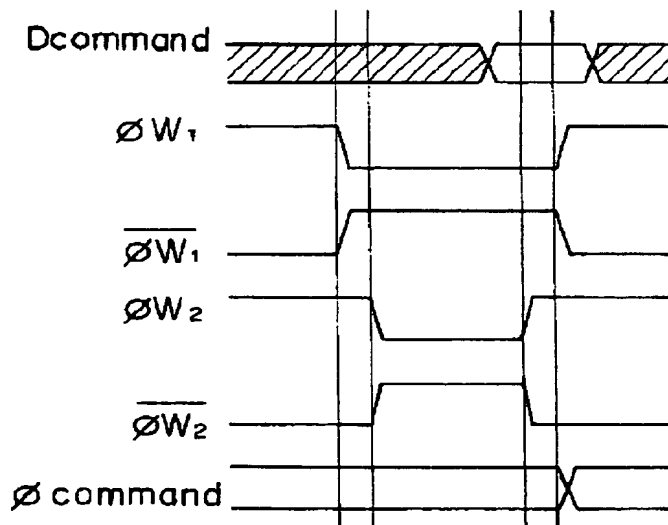
【図6】



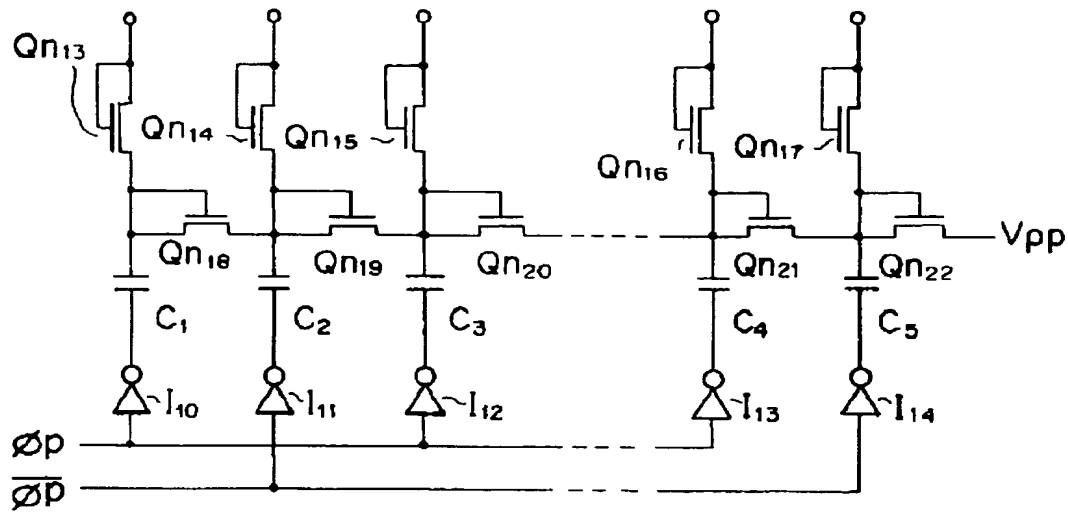
【図7】



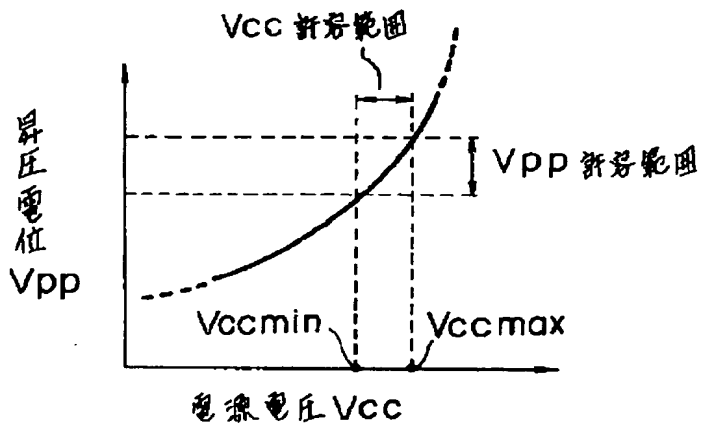
【図8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 伊藤 寧夫
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝総合研究所内

(72)発明者 岩田 佳久
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝総合研究所内